

**Cursul 06****C03 CIRCUITE LOGICE CU TRANZISTOARE BIPOLARE****C03.4 Circuite logice cu elemente discrete****03.4.1 Circuite logice RTL (Rezistor – Transistor - Logic)**

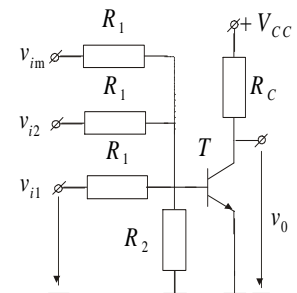
Sunt circuite ce realizează funcția logică SAU-NU :

- funcția SAU se realizează prin însumarea tensiunilor de intrare cu ajutorul unor rezistențe
- funcția NU se realizează cu ajutorul unui inversor cu tranzistor bipolar care pe lângă acest rol reface și nivelele logice pentru tensiunea de ieșire.

Orice funcție logică poate fi sintetizată cu astfel de circuite, indiferent de complexitate. Schema logică este prezentată în *fig.6.8*.

Dacă  $v_{i1} = \dots = v_{im} = 0$  tranzistorul este blocat rezultând  $v_0 = V_{CC} = V_{0H}$  (emitorul fiind la masă  $\Rightarrow$  joncțiunea BE blocată).

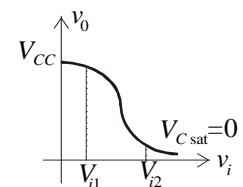
Dacă una din cele  $m$  tensiuni de la intrare e la nivelul logic "1" atunci tensiunea în bază e pozitivă iar dacă elementele circuitului sunt corespunzător dimensionate tranzistorul va fi saturat rezultând  $v_0 = V_{CEsat} = V_{0L}$ .

*fig. 6.8*

Deci tensiunea  $v_0$  nu depinde de sarcinile pe care le comandă la ieșire. În *fig.6.9* este reprezentată caracteristica de transfer a circuitului în care :

- $V_{i1}$  - valoarea maximă a tensiunii de intrare pentru care tensiunea de ieșire este „1” logic
- $V_{i2}$  - valoarea minimă a tensiunii de intrare pentru care tensiunea de ieșire este „0” logic

Tranzistorul va intra în conducție când tensiunea pe joncțiunea BE are valoarea cel puțin valoarea de deschidere  $V_{BE0} \approx 0.65$  V.

*fig. 6.9*

$$V_{BE0} = \frac{R_2 \parallel \frac{R_1}{m-1}}{R_1 + R_2 \parallel \frac{R_1}{m-1}} V_{i1} \Rightarrow V_{i1} = \left(1 + \frac{R_1}{R_2 \parallel \frac{R_1}{m-1}}\right) V_{BE0}. \text{ După intrarea în conducție}$$

$$v_0 = V_{CC} - \beta_0 i_B R_C \text{ unde } i_B = \frac{v_i - V_{BE}}{R_1} - \frac{V_{BE}}{R_2 \parallel \frac{R_1}{m-1}} \text{ (} V_{BE} \text{ aproximativ constantă } = 0.65 \div 0.86 \text{ V).}$$

$$\Rightarrow v_0 = V_{CC} - \beta_0 R_C \left( \frac{v_i - V_{BE}}{R_1} - \frac{V_{BE}}{R_2 \parallel \frac{R_1}{m-1}} \right).$$

Pentru determinarea lui tensiunii de la intrare  $V_{i2}$  se pune condiția ca tranzistorul inversor să intre în saturație:  $v_0 = V_{OL} = U_{CEsat} \approx 0$ , deci

$$V_{CC} - \beta_0 R_C \left( \frac{V_{i2} - V_{BE}}{R_1} - \frac{V_{BE}}{R_2 \parallel \frac{R_1}{m-1}} \right) = U_{CEsat} \Rightarrow V_{i2} = \frac{R_1}{\beta_0 R_C} V_{CC} + \left( 1 + \frac{R_1}{R_2 \parallel \frac{R_1}{m-1}} \right) V_{BE}.$$

Marginile de zgomot sunt  $MZL = V_{i1} - V_{OL} = V_{i1}$  respectiv  $MZH = V_{OH} - V_{i2} = V_{CC} - V_{i2}$   
 $\Rightarrow MZH > MZL \Rightarrow$  între  $V_{i1}$  și  $V_{i2}$  tranzistorul funcționează în RAN.

Dacă circuitul e încărcat pe ieșire, nivelul  $V_{OH}$  oferit la ieșire scade  $\Rightarrow$  scade și  $MZH$ .

Capacitatea maximă de încărcare la ieșire a unor circuite similare poate fi determinată dacă se impune o valoare minimă necesară  $MZH$  și un anumit grad de saturație al tranzistorului bipolar.

Din punct de vedere dinamic, al comutării dintr-o stare în alta, se aplică tot ce s-a discutat la inversorul cu tranzistor bipolar.

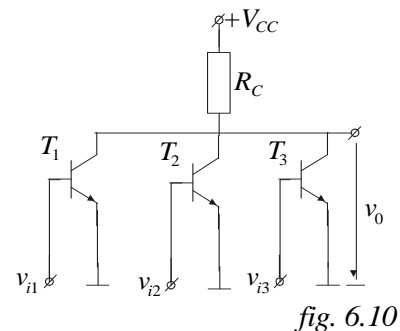
Din punct de vedere al integrabilității acest circuit nu este economic din cauză că are multe rezistențe și deci ocupă o suprafață mare.

Cu cât suprafața ocupată de pastilele de siliciu e mai mare cu atât posibilitatea funcționării corecte este mai mică.

### 03.4.2 Circuite logice DCTL (Direct Coupled Transistor Logic)

Schema celulei fundamentale care realizează tot funcția logică SAU-NU este prezentată în fig.6.10. Funcția logică se realizează pe joncțiunea BE a tranzistorului prin comandă directă.

Dacă una din tensiunile de intrare se află la nivel ridicat atunci tensiunea de ieșire este tensiunea CE la saturație  $v_0 = V_{OL} = U_{CEsat}$  iar dacă toate tensiunile de intrare se află la nivel coborât atunci tensiunea de ieșire este  $v_0 = V_{OH} = V_{CC}$  (tranzistoarele sunt blocate).



Ca și la familia de circuite RTL se pot realiza circuite logice cu funcții complexe folosind numai poarta elementară SAU-NU. În aceeași structură de cuplaj direct se poate concepe și o poartă logică de tip ȘI-NU dar cele două tipuri de porți nu mai au nivele logice complet compatibile.

Caracteristica de transfer este prezentată în fig.6.11 unde:

- $V_{i1} = V_{BE0}$  - valoarea de deschidere a tranzistorului, tensiunea de la ieșire începe să scadă;
- $V_{i2} = V_{BES1}$  - tensiunea pe jonctiunea BE la saturație incipientă;
- $MZL = V_{i1} - V_{0L} \approx V_{i1} \approx 0.65$  V,  $MZH = V_{OH} - V_{i2}$ , în caz comandat  $MZH = V_{BE\ sat} - V_{BES1}$ ;
- $\Delta V = V_{i2} - V_{i1} = V_{BES1} - V_{BE0} = 0.8 - 0.65 = 0.15$  V.

Dacă circuitul comandă la ieșire alte circuite din aceeași familie și  $T_1, T_2, T_3$  sunt blocate rezultă curba din *fig.6.12*.

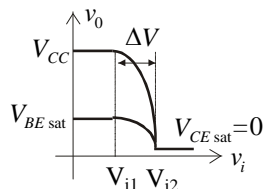


fig. 6.11

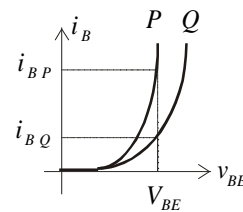


fig. 6.13

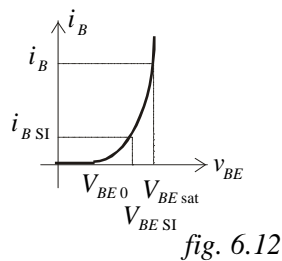


fig. 6.12

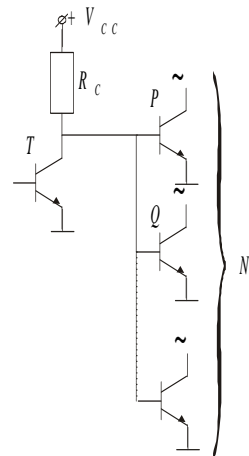


fig. 6.14

Importanța dispersiei caracteristicii de intrare a tranzistoarelor este prezentată în *fig.6.13* în cazul în care acest circuit comandă un număr de  $N$  circuite identice (*fig.6.14*).

Se definește coeficientul de neuniformitate  $\varepsilon = \frac{i_{BP}}{i_{BQ}}$ , definit ca raportul curenților de

bază a două tranzistoare comandate P și Q în cazul cel mai defavorabil. Acesta are valori de 20÷50 pentru tranzistoarele de comutație discrete și sub 10 pentru tranzistoarele integrate.

Când tranzistorul  $T$  este blocat, curenții prin  $R_C$  se împart în curenți de bază ai celor  $N$  tranzistori comandați.

Condiția de saturație a unui tranzistor comandat este  $i_{BQ} > (n+1)i_{BS1}$ , unde  $i_{BS1} = \frac{i_{C sat}}{\beta_0}$ .

Când  $i_{BS1}$  are valoare maximă atunci  $i_{C sat}$  are valoare maximă  $\Rightarrow i_{BS1} = \frac{V_{CC} - V_{CE sat}}{\beta_0 R_C}$ .

Tranzistoarele de tip P absorb curenți mai mari. Cazul cel mai defavorabil este când un tranzistor este de tip Q iar celelalte de tip P. În acest caz, curentul de sarcină  $i_S$  ce poate fi debitat de tranzistorul de comandă se va distribui astfel:

$$\Rightarrow i_S = \frac{V_{CC} - V_{BE}}{R_C} = (N-1)i_{BP} + i_{BQ} = \varepsilon(N-1)i_{BQ} + i_{BQ} \Rightarrow i_{BQ} = \frac{V_{CC} - V_{BE}}{R_C} \frac{1}{1 + \varepsilon(N-1)}.$$

Condiția ce trebuie îndeplinită astfel încât tranzistorul Q comandat să fie saturat este:

$$\frac{V_{CC} - V_{BE}}{R_C} \frac{1}{1 + \varepsilon(N-1)} > (n+1) \frac{V_{CC} - V_{CEsat}}{\beta_0 R_C} \Rightarrow N < 1 + \frac{1}{\varepsilon} \left( \frac{\beta_0}{(n+1)} \frac{V_{CC} - V_{BE}}{V_{CC} - V_{CEsat}} - 1 \right).$$

Considerând tranzistoarele ca având caracteristici statice de intrare identice și neglijând tensiunea de saturație  $V_{CEsat}$ , se obține pentru capacitatea de încărcare statică relația:

$$N < \frac{\beta_0}{(n+1)} \left( 1 - \frac{V_{BE}}{V_{CC}} \right)$$

Capacitatea maximă de încărcare statică  $N_{max}$  are valori reduse. Pentru a micșora acest efect se pot introduce în baza tranzistoarelor rezistențe de liniarizare a caracteristicilor de intrare. Se obține o neuniformitate mult mai mică a caracteristicilor, cu o dependență puternică de valoarea rezistenței de bază. Din punct de vedere practic această variantă prezintă dezavantajul că aceste rezistențe de valori mari ocupă o suprafață mare pe placheta de siliciu, ceea ce reduce gradul de integrabilitate al circuitelor cu această structură.

Din punct de vedere dinamic, familia DCTL, prezintă aceleași dezavantaje importante ale inversorului cu tranzistor bipolar. La comutare inversă timpii de creștere sunt mai mici decât în cazul familiei RTL comandate la fel dar numai în măsura în care tensiunea de alimentare este mult mai mare ca  $V_{BE}$ .

Valorificând simplitatea structurii electrice, această familie a evoluat spre circuitele integrate din familia III.