

Cursul 11

C04 CIRCUITE LOGICE IN TEHNOLOGIE MOS

C04.1 Comutator electronic cu tranzistor cu efect de câmp

Pentru aceste circuite se folosesc în general tranzistoare MOS (fig.9.1) cu canal indus de tip N sau de tip P sau combinate.

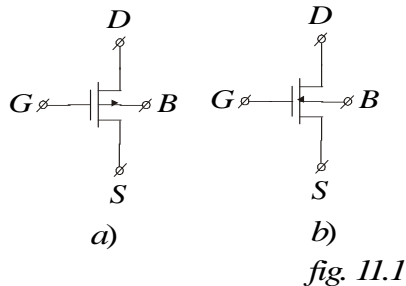


fig. 11.1

În funcție de tipul tranzistoarelor există circuite tip : N-MOS, P-MOS sau C-MOS

Se folosesc ecuațiile de funcționare ale unui tranzistor MOS (ecuațiile lui Sah) unde:

- V_p - valoarea tensiunii grilă-sursă de la care apare inversiunea în canalul dintre sursă și drenă; este de obicei constantă, depinzând în general de temperatură și de diferența de potențial dintre sursă și substrat.

Pe caracteristica tranzistorului MOS (fig.9.2) avem:

Pentru $0 < V_D < V_G - V_p$ cu $V_G > V_p$ și

$$\text{fig. 11.2} \quad i_D = k((V_G - V_p)V_D - \frac{1}{2}V_D^2) \text{ unde } k = \frac{\mu_n C_{ox} z}{L} \text{ iar :}$$

- μ_n - mobilitatea purtătorilor majoritari din canal
- C_{ox} - capacitatea pe unitatea de suprafață a condensatorului format între porți
- z - adâncimea canalului
- L - lungimea canalului
- $\frac{z}{L}$ - factor de formă al tranzistorului. (k pentru tranzistoare cu același factor de formă este diferit).

$$\text{Pentru } V_D > V_G - V_p \text{ avem } i_D = \frac{k}{2}(V_G - V_p)^2.$$

Valoarea uzuală pentru C_{ox} când izolatorul este de SiO_2 este de aproximativ $1 \frac{pF}{mm^2}$, iar dimensiunile uzuale pentru z și L sunt cuprinse între 2μ și 100μ (funcție de tensiunea de alimentare).

Folosit ca element de comutație tranzistorul cu efect de câmp se folosește în regiunea de blocare și în regiunea de conducție liniară :

- când este blocat, curentul dintre sursă și drenă este foarte mic (de ordinul nA)
- când este în conducție în zona liniară (comutator închis) între sursă și drenă se comportă ca o rezistență echivalentă, neconținând și o tensiune reziduală.

C04.2 Circuite logice CMOS

Structura fundamentală în realizarea circuitelor CMOS o reprezintă inversorul CMOS a cărui schemă este cea din *fig.9.3* unde avem valoarea tensiunii de prag standard este $V_p = 1.5 \div 3$ V.

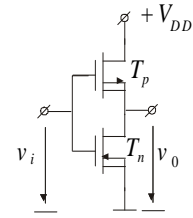


fig. 11.3

Tranzistorul T_n este blocat dacă $v_i = 0$ sau $v_i < V_p \Rightarrow U_{SG}(T_p) = V_{DD} - v_i > V_{pp} \Rightarrow T_p$ în conducție (presupunând inițial că $V_{DD} > V_{pn} + V_{pp}$)
 $\Rightarrow v_0 = V_{DD} = V_{0H}$ (nu depinde de parametrii tehnologici ai tranzistorului). Dacă $v_i > V_{pn}$ și $U_{SG}(T_p) = V_{DD} - v_i < V_{pp} \Rightarrow T_p$ blocat și T_n în conducție $\Rightarrow v_0 = V_{0L} \approx 0$.

03.6.1 Caracteristica de transfer a inversorului CMOS

Aceasta este prezentată în *fig.9.4* unde se disting 5 zone (se presupune că $V_{DD} > V_{pn} + V_{pp}$):

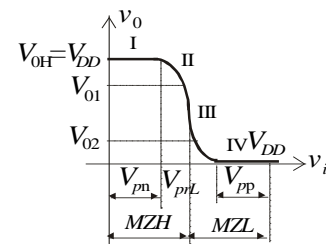


fig. 11.4

I - T_n blocat și T_p în conduce la curenți de drenă foarte mici iar $v_0 = V_{DD}$.

II - T_n intră în conducție în regiunea de saturație ($U_{SD} = v_0$) iar T_p lucrează în regiunea liniară (nu are canalul complet închis). În acest caz avem:

$$i_{D_n} = i_{D_p} \Rightarrow \frac{k_n}{2}(v_i - V_{pn})^2 = \frac{k_p}{2}((V_{DD} - v_i)(V_{DD} - v_0) - \frac{1}{2}(V_{DD} - v_0)^2)$$

$$\Rightarrow v_{0II} = v_i + V_{pp} + \sqrt{(V_{DD} - V_{pp} - v_i)^2 - a^2(v_i - V_{pn})^2} \text{ unde } a^2 = \frac{k_n}{k_p}.$$

III. T_n și T_p sunt în conducție în regiunea de saturație. La modelul simplificat considerat pentru tranzistor panta în această zonă este infinită.

Tensiunea de prag se obține scriind egalitatea curenților celor 2 tranzistori când amândoi sunt în zona de saturație. Obținem:

$$\frac{k_n}{2}(V_{prL} - V_{pn})^2 = \frac{k_p}{2}(V_{DD} - V_{prL} - V_{pp})^2 \Rightarrow V_{prL} = \frac{V_{DD} - V_{pp} + aV_{pn}}{a + 1}.$$

Dacă $a = 1$ (avem același prag de conducție $k_p = k_n$) și $V_{pp} = V_{pn} = V_p$ atunci

$$V_{prL} = \frac{V_{DD}}{2}.$$

Inversorul CMOS se apropie de un circuit ideal adică folosește complet excursia de tensiune maxim posibilă de la ieșire.

$$V_{DD} - V_{01} = V_{DD} - V_{prL} - V_{pp} \Rightarrow V_{01} = V_{pp} + V_{prL} = V_{pp} + \frac{V_{DD} - V_{pp} + aV_{pn}}{a + 1} = \frac{V_{DD} + a(V_{pp} + V_{pn})}{a + 1}.$$

IV. T_n în regiunea liniară și T_p la saturație. Caracteristica de transfer se obține scriind egalitatea curenților : $\frac{k_n}{2}((v_i - V_{pn})v_0 - \frac{v_0^2}{2}) = \frac{k_p}{2}(V_{DD} - v_i - V_{pp})^2 \Rightarrow$

$$v_{0IV} = v_i - V_{pn} + \sqrt{(v_i - V_{pn})^2 - (V_{DD} - V_{pp} - v_i)^2} \frac{1}{a^2}.$$

$$\text{Pentru } v_i = V_{prL} \Rightarrow v_{0II} = V_{prL} - V_{pn} \Rightarrow v_{0II} = \frac{V_{DD} - a(V_{pp} + V_{pn})}{a + 1}.$$

V. T_p blocat ($U_{SG} < U_{prag}$) și T_n în conducție la un curent foarte mic în regiunea liniară la o tensiune U_{SD} foarte mică $\Rightarrow v_0 \approx 0$.

$$MZH = V_{0H} - V_{prL} = V_{DD} - \frac{V_{DD} - V_{pp} + aV_{pn}}{a + 1} = \frac{a(V_{DD} - V_{pp}) + V_{pp}}{a + 1}$$

$$MZL = V_{prL} - V_{0L} = \frac{V_{DD} - V_{pp} + aV_{pn}}{a + 1}.$$

Dacă $a=1 \Rightarrow MZH = MZL = \frac{V_{DD}}{2}$ (au valoarea maximă posibilă).

Dar $MZH = V_{0H} - V_i'(-1)$ și $MZL = V_i''(-1) - V_{0L}$.

$$\text{Pentru } a=1 \text{ și tensiuni de prag egale avem } V_i'(-1) = \frac{3V_{DD} - 2V_p}{8} \text{ și}$$

$$V_i''(-1) = \frac{5V_{DD} - 2V_p}{8} \Rightarrow MZH = V_{DD} - \frac{5V_{DD} - 2V_p}{8} = \frac{3V_{DD} + 2V_p}{8} \text{ și } MZL = \frac{3V_{DD} + 2V_p}{8}.$$

Se poate observa că $MZH = MZL \neq \frac{V_{DD}}{2}$.

Ținând cont de condițiile cele mai defavorabile, marginile de zgomot asigurate de producător se situează în jurul valorilor de $0.3 \div 0.5 V_{DD}$.

Dacă $V_{DD} = V_{pp} + V_{pn}$ din caracteristică dispar zonele II și IV iar această caracteristică arată ca în *fig.9.5*

Dacă $V_{DD} < V_{pp} + V_{pn}$ apare o *zonă de histeresis* (*fig.9.6*) – o zonă în care ambele tranzistoare sunt blocate. Valoarea tensiunii de ieșire depinzând de sensul din care se modifică tensiunea de intrare.

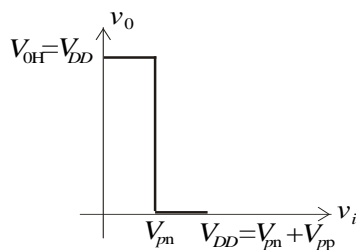


fig. 11.5

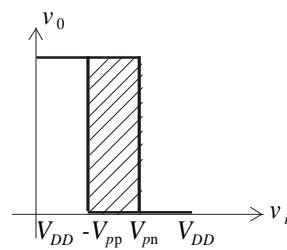
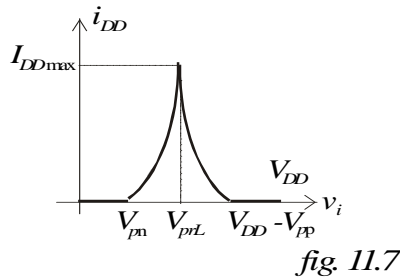


fig. 11.6

03.6.2 Caracteristica de alimentare

Aceasta este prezentată în *fig.9.7* unde :



-dacă $v_i \in (V_{pn}, V_{prL})$ ambele tranzistoare sunt în conducție \Rightarrow

$$i_{DD} = i_{D_n} = \frac{k_n}{2} (v_i - V_{pn})^2$$

-dacă $v_i \in (V_{prL}, V_{DD} - V_{pp})$ atunci T_n în regiunea liniară și T_p

la saturație $\Rightarrow i_{DD} = i_{D_p} = \frac{k_p}{2} (V_{DD} - v_i - V_{pp})^2$.

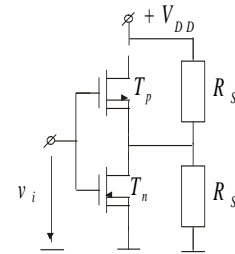


fig. 11.8

Valoarea maximă a acestui curent va fi: $i_{DDmax} = \frac{k_n}{2} (V_{prL} - V_{pn})^2 =$

$$= \frac{k_n}{2} \left(\frac{V_{DD} - V_{pp} + aV_{pn}}{a+1} - V_{pn} \right)^2 = \frac{k_n}{2} \left(\frac{V_{DD} - V_{pp} - V_{pn}}{a+1} \right)^2.$$

Curentul absorbit este dependent de valoarea tensiunii de alimentare V_{DD} . Cu cât frecvența semnalului de intrare este mai mare cu atât puterea disipată de circuit crește.

Dacă interconectăm circuite CMOS caracteristica statică de încărcare a circuitului este foarte mare. Curentul de intrare într-un circuit CMOS este sub 9 nA.

Nivelul de tensiune la ieșire este afectat dacă interconectăm un inversor cu circuite din alte clase sau comandăm sarcini rezistive.

Dacă se conectează o rezistență de sarcină R_S la masă (*fig.9.8*), V_{0L} nu este afectat dar V_{0H} scade căci prin R_S circulă un curent ce trebuie asigurat de tranzistorul T_p .

Pentru $R_S = 1 \text{ k}\Omega$ nivelul tensiunii de ieșire poate să scadă cu 25%

Dacă R_S se conectează la V_{DD} , V_{0H} nu este afectat dar V_{0L} crește (prin R_S circulă un curent ce trebuie asigurat de T_n).

Dacă se conectează o rezistență de sarcină R_S la masă (*fig.9.8*), V_{0L} nu este afectat dar V_{0H} scade căci prin R_S circulă un curent ce trebuie asigurat de tranzistorul T_p .

Pentru $R_S = 1 \text{ k}\Omega$ nivelul tensiunii de ieșire poate să scadă cu 25%.

Dacă R_S se conectează la V_{DD} , V_{0H} nu este afectat dar V_{0L} crește (prin R_S circulă un curent ce trebuie asigurat de T_n).

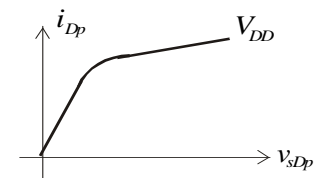


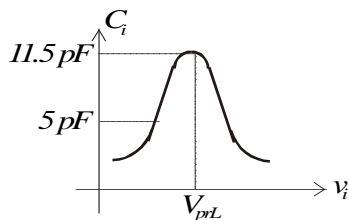
fig. 11.9

03.6.3 Regimul tranzitoriu al inversorului CMOS

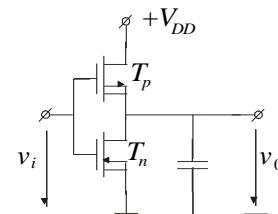
Depinde de capacitățile pe care lucrează la ieșire inversorul. Timpii de apariție a canalului tranzistorului comandat pentru a intra în blocare sunt foarte mici și se neglijează.

Capacitatea circuitului inversor C_S este formată din, capacitatea de intrare C_{int} ale circuitelor similare comandate de acesta, capacitatea de ieșire a sa C_{ies} și de capacitatea firelor de legătură de la ieșirea circuitului la intrarea altuia.

Valorile tipice sunt : pentru $C_{ies} \approx 10$ pF, pentru capacitatea medie de intrare ≈ 5 pF (depinde de tensiunea de intrare a inversorului).



Valoarea maximă a acestei capacități (fig. 11.10) se atinge când tensiunea de prag este egală cu tensiunea de intrare deoarece când cele două tranzistoare sunt în



conducție se reflectă în paralel pe

intrare prin efect Miller capacitățile grilă-drenă ale celor două tranzistoare (fig. 11.11).

În fig. 11.12 sunt prezentate răspunsurile tensiunilor de ieșire la excitarea cu un semnal dreptunghiular. Avem :

$i_{D_n \max} = \frac{k_n}{2} (V_{DD} - V_{pn})^2$. C_S se descarcă la curent constant pe

durata t_1 . $i_C = C \frac{dv_0}{dt} = -i_{D_n \max}$ și $-i_{D_n \max} t_1 = C(-V_{DD} + V_1)$,

unde $V_1 = V_{DD} - V_{pn} \Rightarrow t_1 = \frac{C(V_{DD} - V_1)}{i_{D_n \max}}$.

După $V_{ies} = V_1$ avem $i_{D_n} = \frac{k_n}{2} (V_{DD} - V_{pn})v_0 - \frac{1}{2}v_0^2 \Rightarrow$

$t_2 = \frac{2C_S}{k_n} \int_{V_1}^{v_0} \frac{dv_0}{v_0^2 - v_0 V_1} = \frac{\tau_n}{2} \ln \frac{2V_1 - v_0}{v_0}$, unde $\tau_n = \frac{2C_S}{k_n (V_{DD} - V_{pn})}$.

Dacă $V_2 = 0.1V_1$ atunci $t_2 = \frac{\tau_n}{2} \ln 19$.

$t_{fHL} = t_1 + t_2$, pentru valori uzuale t_{fHL} este de ordinul câtorva zeci de ns.

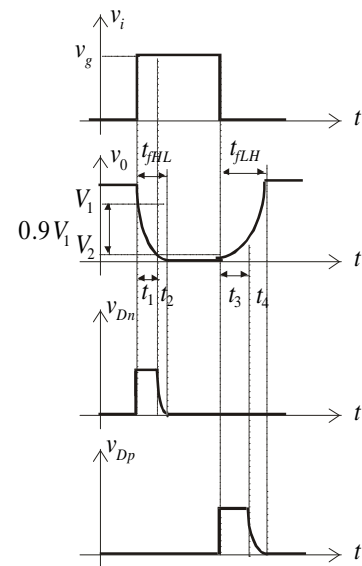


fig. 11.12

03.6.4 Circuite elementare CMOS

Inversorul – este prevăzut și cu un circuit de protecție la străpungerea oxidului de sub grila metalică. Capacitatea poartă substart și sarcinile electrostatice de încărcare a grilei pot duce la căderi de tensiuni pe oxid care să depășească 100 V.

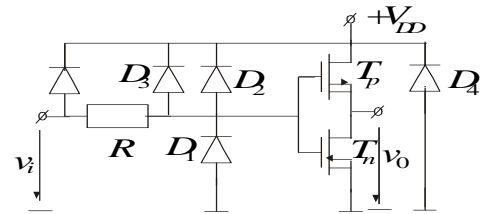


fig. 11.13

Schema reală cu protecție a inversorului este cea din fig. 9.13 unde:

- D_1 și D_2 limitează tensiunea pe grilele celor două tranzistoare la valoarea minimă $-U_D$ când D_1 este în conducție și la valoarea maximă $V_{DD} + U_D$ când D_2 este în conducție.
- D_3 și restul diodelor – sunt diode parazite ce se formează între substratul de tip p în care este realizat tranzistorul cu canal p și difuzie.
- R limitează curentul prin D_1 și D_2 când accidental acestea intră în conducție ($R \approx 1.5 \text{ k}\Omega$)
- D_4 este o diodă Zener cu $U_{strap} \approx 25 \text{ V}$ pentru limitarea tensiunii grilă-substrat (sau masă) când circuitul nu este conectat la tensiunea de alimentare.

Toate circuitele au la bază un inversor CMOS.

Poarta „SAU-NU” (fig. 11.14) cu două intrări folosește inversorul CMOS. Dacă cel puțin una dintre cele două intrări este la valoare ridicată atunci T_n este în conducție (valoare de ieșire coborâtă corespunzătoare lui „0” logic) și T_p blocat.

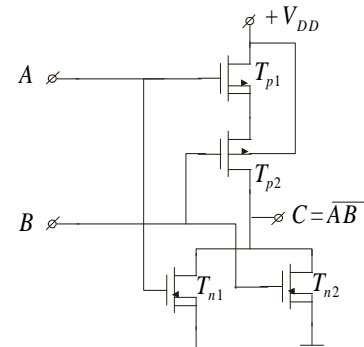


fig. 11.14

Circuitele ce realizează funcționarea circuitelor complexe au circuite *buffer* de intrare și ieșire care cresc timpii de propagare, dar tranzistorii au timpi de comutație mici.

Structurile foarte des folosite de sine stătătoare sau în compunerea circuitelor complexe au un circuit de trecere echivalent cu 2 tranzistoare MOS complementare conectate în paralel între sursă și drenă și comandate în antifază. (fig. 9.15) .

Structura se comportă ca un comutator (pentru semnale logice sau analogice). Tranzistorii pot fi amândoi blocați sau unul blocat și celălalt în conducție sau amândoi în conducție.

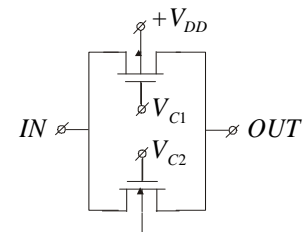


fig. 11.15

Când sunt comandate pentru a fi în conducție cel care e în conducție efectiv depinde de polaritate tensiunii aplicate între terminalele IN și OUT.