

Lucrarea nr. 5

POARTA LOGICĂ TTL STANDARD

Cuprins

- I. Scopul lucrării
- II. Noțiuni teoretice
- III. Desfășurarea lucrării
- IV. Temă de casă

I. Scopul lucrării

Cunoașterea funcționării porții TTL standard și în însușirea metodelor de măsurare a principalilor parametri statici și dinamici ai acesteia.

II. Noțiuni teoretice

2. **Circuitele logice** din familia TTL au ca schemă de bază poarta ȘI-NU cu două intrări reprezentată în *fig.5.1*.

Circuitul integrat ȘI-NU este caracterizat prin folosirea unui tranzistor multiemitor la intrare (tranzistorul T_1) cu diode de limitare a reflexiilor (D_A , D_B) și a unui etaj de tip stâlp totemic (tranzistoarele T_3 , T_4) capabil să asigure curent de ieșire în ambele sensuri, tranzistorul T_2 având funcția de separator de fază pentru comanda stâlpului totemic.

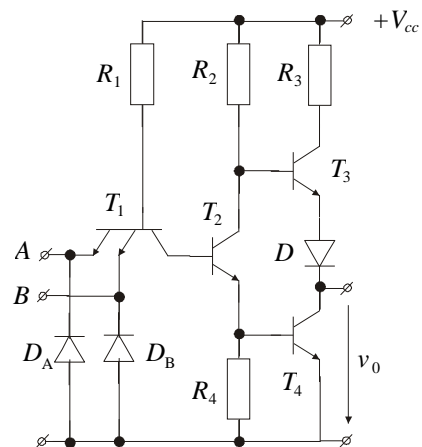


fig. 5.1

Funcționarea electrică a porții TTL standard poate fi rezumată în felul următor:

-când la ambele intrări, A și B, se aplică o tensiune mare (nivel logic "1"), joncțiunile bază-emitor ale tranzistorului multiemitor sunt blocate, iar tranzistoarele T_2 și T_4 conduc la saturație datorită curentului furnizat de sursa de alimentare V_{CC} prin rezistența R_1 și prin joncțiunea colector bază a tranzistorului . Tranzistorul T_3 este blocat deoarece baza lui se află la un potențial mai mic decât potențialul emitorului său, datorită decalajului de tensiune introdus de dioda D . Rezultă că tensiunea de ieșire este tensiunea de saturație a tranzistorului T_4 , deci foarte mică, asigurând nivel logic "0" la ieșire, V_{0L} .

-când tensiunea la cel puțin o intrare este scăzută (nivel logic"0"), joncțiunea emitor-bază se deschide și, datorită saturării tranzistorului T_1 , tranzistorul T_2 se blochează datorită scăderii potențialului bazei lui față de masă. Blocarea lui atrage după sine blocarea tranzistorului T_4 și deschiderea tranzistorului T_3 în regiunea activă normală sau în saturație, în funcție de sarcina conectată. Ca urmare, tensiunea de ieșire va avea o valoare mare, adică nivel logic "1", V_{0H} .

3. **Parametrii statici** ai porții logice TTL standard pot fi puși în evidență prin măsurarea caracteristicilor statice.

3.1 **Caracteristica de transfer**, $v_o (v_i)$ este reprezentată în *fig.2.a*, iar schema folosită pentru măsurare în *fig.5.2.b*

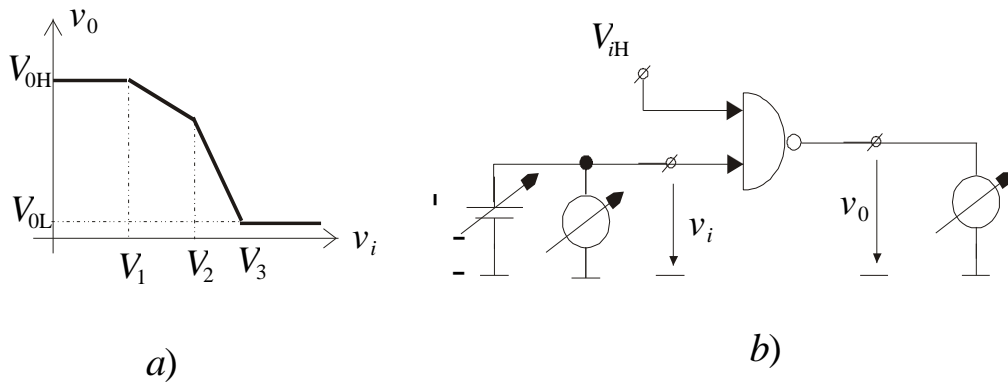


fig. 5.2

Mărimile caracteristice, precizate în fig.5.2.a, se deduc cu relațiile:

$$-V_{0H} = V_{CC} - V_D - V_{BE3} - R_2 I_{B3} = 3,8 \text{ V} \quad (1)$$

$$-V_{0L} = V_{CEsat4} + r_{CEsat4} I_{C4} = V_{CEsat4} = 0,1 \text{ V} \quad (2)$$

$$-V_1 = -V_{CEsat1} + V_{BE02} = 0,6 \text{ V} \quad (3)$$

$$-V_2 = -V_{CEsat1} + V_{BE2} + V_{BE04} = 1,3 \text{ V} \quad (4)$$

$$-V_3 = V_2 + \Delta V_{BE2} + \Delta V_{BE4} = 1,5 \text{ V} \quad (5)$$

Marginile de zgomot statice vor fi, conform graficului din fig.5.2.a:

$$MZL = V_2 - V_{0L} = 1,2 \text{ V} \quad (6) \quad MZH = V_{0H} - V_3 = 2,3 \text{ V} \quad (7)$$

Caracteristica de transfer și parametri deduși din aceasta sunt dependenți de sarcină, de temperatură și de tensiunea de alimentare.

3.2 Caracteristica de intrare, $i_i(v_i)$ este reprezentată în fig.5.3.a și schema folosită

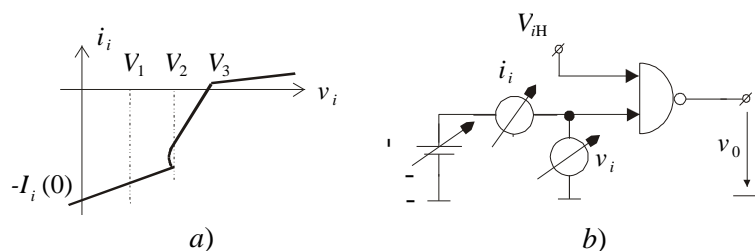


fig. 5.3

pentru măsurare în fig.5.3.b.

Curentul de intrare, pentru $v_i = 0$, va fi:

$$i_i(0) = \frac{V_{CC} - V_{BE1}}{R_1} + I_{Csat1} = \frac{V_{CC} - V_{BE1}}{R_1} = 1.1 \text{ V} \quad (8)$$

Curentul de intrare în starea logică "1" la intrare pentru $v_i = V_{iH}$ va avea mai multe componente:

-curentul tranzistorului ce funcționează în regiunea activă inversă:

$$I'_{iH} = \frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE4}}{R_1} \beta_i \quad (9)$$

-curentul tranzistoarelor laterale formate din emitorul ce constituie intrarea în discuție (în calitate de colector) și emitoarele tranzistorului multiemitor ce se pot găsi la tensiuni scăzute corespunzătoare nivelului logic "0" (ca emitoare), baza fiind baza tranzistorului multiemitor, .

$$I''_{iH} = \frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE4}}{R_1} \beta_1 \quad (9')$$

-curentul rezidual al diodelor de limitare a reflexiilor (D_A și D_B), dacă există, de obicei, neglijabil;

3.3 **Caracteristicile de ieșire**, pentru cele două stări ale circuitului sunt reprezentate în fig.5.4.a (pentru starea logică "1" la ieșire) și b (pentru starea logică "0" la ieșire), iar în

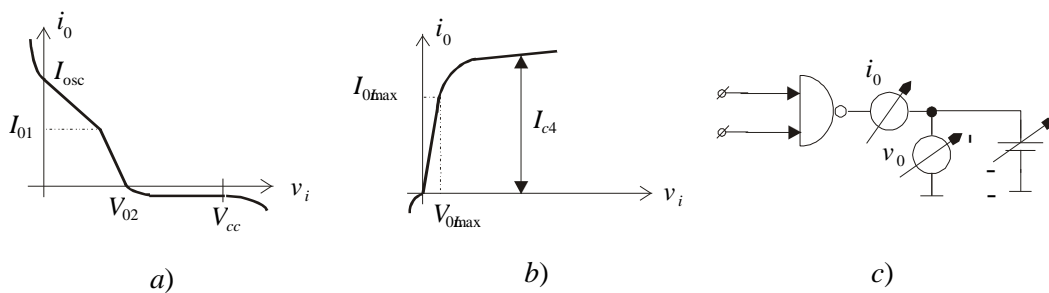


fig. 5.4

fig.5.4.c este desenată schema utilizată pentru măsurare.

În cazul în care la cel puțin una din intrări se aplică nivel logic "0", se obține caracteristica din fig.5.4.a, tranzistorul T_4 fiind blocat. Schimbarea pantei caracteristicii de ieșire (adică intrarea tranzistorului T_3 în saturație) se produce pentru curentul:

$$I_{01} = (\beta_3 + 1) \frac{V_{BE3} - V_{CEsat3}}{\beta_3 R_3 - R_2} \quad (10)$$

Curentul de scurt circuit este dat de relația:

$$I_{osc} = \frac{V_{CC} - V_{CEsat3} - V_D}{R_3} + \frac{V_{CC} - V_{BE3} - V_D}{R_2} \quad (11)$$

Blocarea tranzistorului T_3 se produce pentru tensiunea:

$$V_{02} = V_{CC} - V_{BE03} - V_{D0} \quad (12)$$

În cazul în care la toate intrările porții se aplică nivel logic "1", se obține caracteristica din fig.5.4.b. curentul maxim ce se poate obține, prin scoaterea din saturație a tranzistorului T_4 este:

$$I_{C4} = \beta_4 \left(\frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE4}}{R_3} + \frac{V_{CC} - V_{CEsat2} - V_{BE4}}{R_2} - \frac{V_{BE4}}{R_4} \right) \quad (13)$$

Curentul maxim ce poate fi absorbit la ieșire este dat de tensiunea de ieșire ce nu trebuie să depășească $V_{OLmax} = 0,4 \text{ V}$.

3.4 Curenții absorbiți de la sursa de alimentare în cele două stări sunt:

$$I_{ccL} = \frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE4}}{R_3} + \frac{V_{CC} - V_{CEsat2} - V_{BE4}}{R_2} \quad (14), \quad I_{ccH} = \frac{V_{CC} - V_{BE1} - V_{iL}}{R_1} \quad (10)$$

În cazul în care ambele tranzistoare din etajul de ieșire, T_3 și T_4 , sunt în conducție la saturați apare un vârf de curent pe alimentare a cărei valoare se calculează cu relația:

$$I_{ccv} \cong \frac{V_{CC} - V_D - V_{CEsat3} - V_{CEsat4}}{R_3} \quad (16).$$

4. Din punct de vedere **dinamic**, trecerea de la o stare cu nivel logic "0" la ieșire la starea cu nivel logic "1" este favorizată de faptul că, până la blocarea lui, tranzistorul T_2 menține un potențial de circa 1,4 V pe baza lui, ceea ce asigură funcționarea tranzistorului T_1 în regiunea activă normală. Ca urmare, curentul de colector al acestui tranzistor constituie curentul de bază invers pentru tranzistorul T_2 , care va avea un timp de comutare inversă foarte mic. Timpul de stocare al tranzistorului T_4 are o valoare mare, fiind determinat, printre altele, de rezistența R_4 conectată între baza lui și masă.

La **comutarea inversă**, tranzistorul T_3 se blochează repede ca urmare a comenzii puternice din colectorul tranzistorului T_2 .

Parametrii dinamici ai porții TTL standard sunt definiți ca în *fig.5.5*, în care este reprezentat răspunsul unui circuit de tipul celui din *fig.5.1* la un impuls de intrare obținut de la un circuit identic, impuls reprezentat și el în *fig.5.5*.

- timpul de propagare (t_d^+ , t_d^-), respectiv timpul de propagare mediu : $t_d = 0,5 (t_d^+ + t_d^-)$;
- duratele fronturilor impulsurilor de la ieșire (t_f^+ , t_f^-);
- produsul putere disipată-timp de propagare.

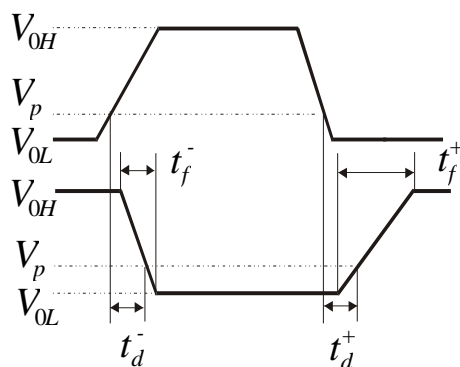


fig. 5.5

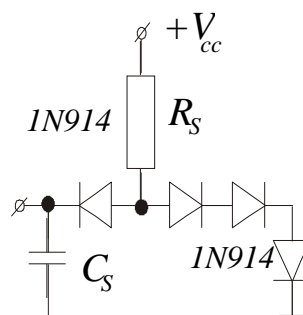


fig. 5.6

III. Desfășurarea lucrării

1. Se fac măsurători asupra unei porții TTL standard de tipul CDB 400, a cărei schemă este reprezentată în *fig.5.1*. Valorile tipice ale rezistențelor sunt: $R_1 = 4 \text{ k}\Omega$; $R_2 = 1,6 \text{ k}\Omega$; $R_3 = 130 \text{ }\Omega$; $R_4 = 1 \text{ k}\Omega$. Conexiunile la pini sunt date în anexă. Măsurătorile se fac cu poarta în gol ($N = 0$) și cu poarta încărcată cu o sarcină echivalentă cu $N = 10$ porți TTL de același tip, realizată cu circuitul din *fig.5.6*. Din punct de vedere dinamic, în paralel cu capacitatea de sarcină, C_S , apare și capacitatea de intrare a osciloscopului, fiind recomandată utilizarea unei sonde divizoare de impulsuri la intrare. Tensiunea de alimentare este $V_{CC} = 5 \text{ V}$.

2. Se determină caracteristica de transfer a circuitului, $v_0 = v_0(v_i)$ cu $0 \leq v_i \leq 5 \text{ V}$ pentru $N = 0$ și pentru $N = 10$; cealaltă intrare a porții TTL este cuplată la "1" (+5 V). Se pun în evidență nivelele logice măsurate, V_{0L} și V_{0H} .

Nivelele logice V_{0L} și V_{0H} se măsoară cu un voltmetru numeric pentru 8 porți (de pe două circuit integrate CDB 400) cu $N = 0$ și $N = 10$, punând în evidență dispersia valorilor măsurate.

Schema de măsurare este prezentată în *fig.5.2.b*, iar valorile măsurate pentru caracteristica de transfer se vor compara cu valorile obținute din relațiile (1) ÷ (5). Pentru mărimile caracteristice tranzistoarelor, ce intervin în relațiile amintite, se vor lua valori tipice pentru un tranzistor de comutație din anexă.

Se vor determina marginile de zgomot statice ale circuitului.

3. Se trasează caracteristica de intrare $i_i(v_i)$ conform schemei de măsură din *fig.5.3.b*, pentru $N = 0$ și $N = 10$. Cealaltă intrare a porții va fi cuplată la V_{CC} .

Se măsoară curentul de intrare în starea logică "0" (cu cealaltă intrare la "1"), I_{iL} , cu schema din *fig.5.3.b*, cu $v_i = 0$, fără voltmetru conectat la intrare, pentru 8 porți, punând în evidență dispersia parametrului măsurat.

Se măsoară, pentru o poartă, curentul de intrare în starea logică "1", I_{iH} , conectând cealaltă intrare succesiv în aer (rezultă I'_{iH} și se deduce β_i al tranzistorului T_1), în paralel cu intrarea măsurată (rezultă $I''_{iH} = 2 I'_{iH}$) și la masă (rezultă I'''_{iH} și se deduce β_1 al tranzistorului lateral format de cele două emitoare ale tranzistorului multiemitor T_1 și de baza acestuia). Se vor folosi relațiile aproximative: $\beta_i \cong \frac{I'_{iH} R_1}{V_{CC} - 3V_{BE}}$; $\beta_1 \cong \frac{(I'''_{iH} - I'_{iH}) R_1}{V_{CC} - V_{BE}}$.

Se vor efectua măsurători pe porți de fabricație diferită pentru a pune în evidență dispersia foarte mare a factorilor de curent β_i și β_1 .

4. Se trasează caracteristicile de ieșire în starea "0" și în starea "1", stări precizate prin realizarea combinațiilor corespunzătoare la intrările porții. Se va folosi circuitul din

fig.5.4.c. În starea logică "0" se va lua $0 \leq v_o \leq 2,5 \text{ V}$, iar în starea logică "1" se va lua $0 \leq v_o \leq 5 \text{ V}$. Se va deduce factorul de curent al tranzistorului $T_4 (\beta_4)$ din caracteristica de ieșire trasată pentru starea logică "0", din relația (13), precum și $I_{01\max}$, curentul maxim ce poate fi absorbit la ieșire dacă $v_o < V_{0L\max} = 0,4 \text{ V}$.

În starea logică "1", se măsoară curentul de scurt circuit, I_{osc} , pentru mai multe porți, evidențiind dispersia de fabricație a parametrului.

5. Se măsoară curenții de alimentare, I_{ccH} și I_{ccL} ; pentru aceasta, se măsoară curenții absorbiți de la sursa de alimentare pentru cele patru porți de pe un circuit integrat CDB 400 aduse în aceeași stare logică la ieșire. Rezultatele se compară cu valorile obținute cu relațiile (14) și (15).

Se trasează caracteristica de alimentare $I_{cc} (v_i)$ pentru o poartă integrată TTL de tipul CDB 430 (poartă ȘI-NU cu 8 intrări); tensiunea variabilă se aplică pe toate cele 8 intrări ale porții, legate împreună, și se reglează între 0 și 5 V; și invers.

6. Se măsoară influența tensiunii de alimentare asupra parametrilor statici ai porții TTL. Se vor măsura V_{0L} și V_{0H} , precum și curenții I_{iL} și I_{osc} pentru $V_{CC} = 4,75 \text{ V}$ și $V_{CC} = 5,25 \text{ V}$, pentru o singură poartă dintr-un circuit integrat CDB 400.

7. Se măsoară timpii de propagare (timpul mediu de propagare al porții) prin două metode și se compară rezultatele:

- se conectează 7 porți în buclă închisă formând un oscilator ca în fig.5.7.a. Va rezulta

$$t_{d\text{ med}} = \frac{1}{14f_{osc}}, \text{ rezultatul corespunzând unei porți TTL încărcată cu o poartă TTL;}$$

- se conectează 7 porți în cascadă ca în fig.5.7.b și se vizualizează pe un osciloscop cu două canale formele de undă în punctele A și B ale schemei, măsurând întârzierile pe cele

două fronturi, la circa 1,5 V ($= V_p$); rezultă: $t_{d\text{ med}} = \frac{t_{dt}^+ + t_{dt}^-}{12}$

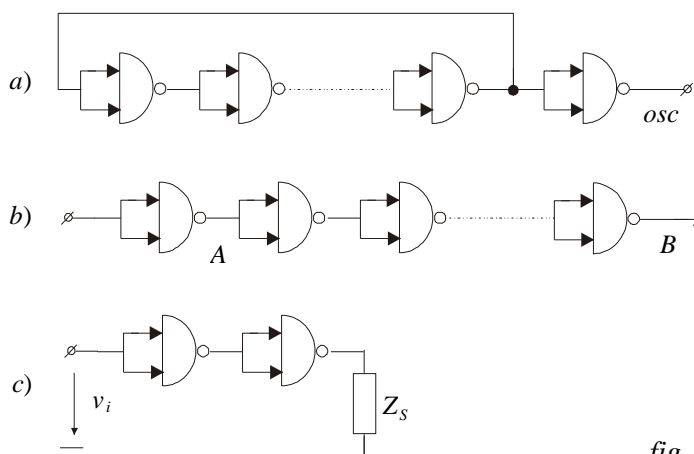


fig. 5.7

8. Se conectează la două din porți și sarcini simulate ca în fig.5.6 și se repetă măsurătorile; din noile valori ale timpului de propagare mediu se deduce, calitativ și cantitativ contribuția sarcinii asupra timpului de propagare al porții. Se va lua $C_s = 68 \text{ pF}$.

9. Se măsoară fronturile t_f^+ și t_f^- la ieșirea unei porți TTL standard comandate ca în *fig.5.7.c*, încărcate numai cu osciloscopul și apoi cu $N = 10$ ($C_s = 68$ pF). La intrare se aplică impulsuri de la un generator de impulsuri cu caracteristici adecvate: frecvență de câțiva MHz și factorul de umplere circa 0,5.

La ieșirea porții TTL testate, neîncărcate, se conectează o capacitate $C = 10$ nF și se măsoară t_f^+ și t_f^- , punându-se în evidență diferența față de valorile măsurate cu circuitul neîncărcat și diferența între cele două fronturi.

10. Se măsoară cu osciloscopul (numai componenta alternativă) tensiunea de alimentare, la pinul circuitului integrat în următoarele cazuri:

- cu schema staționară (fără impulsuri aplicate);
- cu impulsuri aplicate simultan pe toate intrările porților circuitului integrat testat;
- cu o sarcină capacitivă mare ($C = 10$ nF) pe ieșirea unei porți comandate în impulsuri.

Se va introduce un grup capacitiv de deplasare ($C'_0 = 10\mu\text{F}$ și $C''_0 = 50$ nF neinductiv) între pinii de alimentare ai circuitului integrat și se vor vizualiza aceleași forme de undă.

11. Se aplică impulsuri pe o intrare a unei porți TTL și se vizualizează formele de undă de pe cealaltă intrare lăsată în gol.

12. Se experimentează circuitul din *fig.5.8* ce reprezintă o poartă TTL cu stâlp totemic realizată cu elemente de circuit discrete. Tranzistoarele folosite ($T_1, T_4 - \text{BC } 108$, $T_2, T_3 - 2 \text{ N } 2222$) sunt astfel alese încât, prin măsurători de regim dinamic, să se pună în evidență ușor influența elementelor schemei asupra performanțelor circuitului. Valorile elementelor sunt: $R_1 = 3,9$ k Ω ; $R_2 = 1,6$ k Ω ; $R_3 = 130$ Ω ; $R_4 = 1$ k Ω ; $R'_4 = 1$ k Ω ; $R_0 = 1$ nF.

Curentul absorbit de la sursa de alimentare se măsoară la bornele rezistenței R_0 .

La intrare, comanda se poate face printr-o rezistența $R_g = 5,1$ k Ω cuplată direct în baza tranzistorului T_2 sau prin intermediul unui tranzistor T_1 ce simulează tranzistorul multiemitor al circuitului integrat. Tensiunea de alimentare este $V_{CC} = 5$ V.

13. Se aplică impulsuri pozitive cu amplitudinea 5 V, de frecvență circa 500 kHz și cu factor de umplere 0,5. Se vizualizează formele de undă la ieșire și pe baza, emitorul și colectorul tranzistorului T_2 . Se justifică, pe baza funcționării circuitului, diferite etape ale procesului de comutare. Se vizualizează (pe AC) și forma de undă la bornele rezistenței R_0 , măsurând valoarea curentului de alimentare pe durata timpului de stocare al tranzistorului T_4 . Se vor explica diferențele mari dintre t_f^+ și t_f^- precum și forma de undă din colectorul tranzistorului T_2 .

14. Se înlocuiește rezistența R_g cu circuitul format de tranzistorul T_1 ; se măsoară, din nou, formele de undă, urmărindu-se, în special, modificarea timpului de stocare al tranzistorului T_2 .

15. Pentru ambele variante ale circuitului de intrare, se constată influența rezistenței R_4 asupra timpului de stocare al tranzistorului T_4 (deci și asupra duratei impulsului de curent de alimentare) conectând rezistența R'_4 în paralel cu R_4 .

16. Se scurtcircuitază rezistența R_3 și se constată influența ei asupra timpilor de comutare și asupra amplitudinii impulsului de curent de alimentare.

17. Se introduce capacitatea C_0 de filtraj după rezistența R_0 și, cu osciloscopul, se constată influența ei asupra formei de undă a tensiunii de alimentare nemijlocită a circuitului logic (fără căderea de tensiune de pe rezistența de măsurare, R_0).

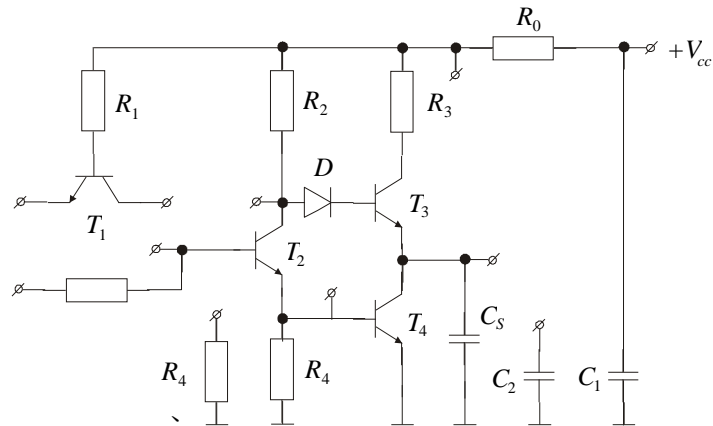


fig. 5.8

[Cuprins](#)

Aplicație simulată de laborator:

--în fișierul deschis prin link-ul de mai jos este realizată schema din fig. 5.8;